

301

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) PATENT LAID-OPEN GAZETTE (A)

(51) \circ Int. Cl. ⁶ (11) Laid-Open Publication No.: 1999-0065972
G11C 7/00 (43) Laid-Open Publication Date: August 16, 1999
(21) Application No. 10-1998-0001546 (22) Filing Date: January 20, 1998
(71) Applicant: LG Semicon Co., Ltd. Bon Joon GOO
1 Hyangjung-dong, Heungduk-gu, Chungjoo-si, Chungcheongbuk-do
(72) Inventor: Seung Ho JANG
104-1309 Doojinbaekro Apt., Soogok-dong, Heungduk-gu,
Chungjoo-si, Chungcheongbuk-do
(74) Patent Attorney(s): Jang Won PARK

Request for Examination: Yes

(54) METHOD OF READING A MULTI-STATE PROGRAMMABLE MEMORY AND A
DATA BUFFER THEREFOR

ABSTRACT

A input/output buffer of a multi-state programmable memory and a data buffer for interface between sense amplifiers in the memory are provided. A switch circuit is positioned between a data register array and a read/write circuit, respectively in the input/output buffer and the sense amplifier so as to effectively read and write data of the multi-state programmable memory regardless of the amount and the speed of the data. The switch circuit is controlled by a controller to facilitate data transfer between the input/output buffer and the data buffer and between the sense amplifier and the data buffer.

공개특허 제1999-65972호(1999.08.16) 1부.

[첨부그림 1]

특 1999-0065972

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.
G11C 7/00

(11) 공개번호 특1999-0065972
(43) 공개일자 1999년08월16일

| | |
|-----------|--|
| (21) 출원번호 | 10-1998-0001546 |
| (22) 출원일자 | 1998년01월20일 |
| (71) 출원인 | 엘지반도체 주식회사 구본준 충청북도 청주시 흥덕구 합정동 1번지 |
| (72) 발명자 | 장승호 충청북도 청주시 흥덕구 수곡동 두전백로아파트 104동 1309호 |
| (74) 대리인 | 박장원 |

심사관구 : 일류

(54) 복수개의 상태를 저장할 수 있는 메모리를 읽는 방법 및 이를 위한 데이터 버퍼

요약

본 발명은 복수개의 상태를 저장할 수 있는 메모리의 입출력 버퍼와 메모리 내부의 센스 앰프간의 인터페이스를 위한 데이터 버퍼를써, 데이터 양과 속도에 무관하게 복수의 상태를 가지는 메모리의 데이터를 효율적으로 읽고 쓸 수 있도록 입출력 버퍼 쪽과 센스 앰프 쪽에 각각 데이터 레지스터 어레이와 읽기/쓰기 회로 사이에 스위치 회로를 두고 이를 제어기에 의해 제어하여 입출력 버퍼와 데이터 버퍼, 센스 앰프와 데이터 버퍼 간의 데이터 이동을 동시에 할 수 있다.

도면

도 2

도 4

도면의 간단한 설명

도 1 은 종래기술의 복수 개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼 회로도.

도 2 는 본 발명의 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼 회로도.

도 3 는 도 1 에 있어서, 데이터 레지스터 어레이의 상세 회로도.

도 4 는 본 발명의 또다른 실시예의 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼 회로에 있어서, 데이터 레지스터 어레이 회로도.

도 5 은 도 4 에 있어서, 읽기/쓰기 회로도.

*** 도면의 주요부분에 대한 부호설명 ***

10 : 데이터 레지스터 어레이

20-1 : 입출력 버퍼 쪽의 읽기/쓰기 회로

20-2 : 센스 앰프 쪽의 읽기/쓰기 회로

30-1 : 입출력 버퍼 쪽의 스위치 회로

30-2 : 센스 앰프 쪽의 스위치 회로

40 : 디코더

50 : 카운터

60 : 제어기

NM11, NM12, NM301~NM307 : 엔모스 트랜지스터

PM301, PM302 : 피모스 트랜지스터

INV11, INV12, INV301 : 인버터

본 발명의 상세한 설명

본 발명의 목적

본 발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 복수개의 상태를 저장할 수 있는 메모리의 입출력 버퍼와 메모리 내부의 센스 앰프간의 인터페이스를 위한 데이터 버퍼에 관한 것으로, 특히 데이터 전송 시간과 양이 다르고, 복수개의 상태를 가지는 메모리 셀의 데이터를 입출력단자와 연결 시키기에 적합하도록 한 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼에 관한 것이다.

대용량의 데이터를 저장하기 위한 용도로 사용되는 플래시 메모리(mass storage flash memory)와 같은 프로그래머블 메모리(programmable memory)는 일반적으로 8개(1byte) 또는 그 이하의 입출력 핀을 가지는 반면, 내부적으로는 수십개 이상의 센스 앰프를 가진다.

또한, 입출력 핀에서의 데이터 전송은 수십 nSec의 클럭에 동기하여 이루어지며, 이런 속도로 연속적으로 일정량의 데이터를 입출력 버퍼를 통해 주고 받아야 하는 반면, 내부의 센스 앰프가 플래시 메모리 셀로부터 읽기 동작하는 시간/프로그램하는 시간은 각각 수십 nSec/수백nSec ~ 수십 μSec로 입출력 핀에서의 데이터 처리 속도에 비해 느리다. 따라서, 데이터 양과 전송 속도의 차이를 완충할 수 있는 데이터 버퍼가 필요하게 된다.

이러한 데이터 버퍼의 용량은 데이터 핀이 쉬지않고 연속적으로 받아들여야하는 최소의 데이터 양과 동일해야하며(일반적으로 1개의 열(row)만큼의 양), 액세스 시간은 입출력 버퍼에서의 데이터 전송 시간에 비해 충분히 빨라야 한다. 결국 이런 데이터 버퍼는 저장할 수 있는 메모리 내부적으로 존재하는 내장 메모리(embedded memory)와 같은 역할을 해야 하는데, 주로 래치 어레이(latch array)나 써로스 정적형 어레이(CMOS SRAM array) 등과 같은 것이 사용되고 있다.

종래 기술의 복수 개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼는 복수 개의 칼럼(column)으로 구성된 셀 어레이(1)와, 그 셀 어레이(1)의 칼럼에 각각 연결된 센스 앰프(2)와, 두 개의 인버터(INV3-1A, INV3-1B)의 입출력이 서로 연결되어 구성되며 상기 각각의 센스 앰프(2)의 출력을 래치하는 데이터 레지스터(3)와, 그 데이터 레지스터(3)의 출력이 연결된 입출력 버퍼(4)를 포함하여 구성된다.

이와 같이 구성된 종래 기술의 동작을 첨부된 도면을 참조하여 설명하면 다음과 같다.

센스 앰프의 구조가 간단하여 저장할 수 있는 메모리의 각 칼럼마다 센스 앰프를 연결할 수 있는 경우, 센스 앰프마다 래치, 즉 데이터 레지스터(3)를 연결하여 데이터 버퍼의 역할을 하게 한다.

본 발명에 이루고자 하는 기술적 과제

그러나, 센스 앰프의 크기가 커서 각 칼럼마다 센스앰프를 연결할 수 없는 경우, 래치를 어떠한 방법으로 배열해야 하는 것이 매우 어려운 문제점이 있다.

또한, 복수 개의 상태를 가지는 저장할 수 있는 메모리의 데이터 버퍼는 센스 앰프가 한 번에 내보내는 2비트 이상의 데이터를 처리해야하는데, 종래 기술의 데이터 레지스터로는 복수개의 상태를 가지는 메모리에서 처리하기 어려운 문제점이 있다.

따라서, 본 발명의 목적은 데이터 양과 속도에 무관하게 복수의 상태를 가지는 메모리의 데이터를 효율적으로 읽을 수 있는 데 있다.

본 발명의 구성 및 작동

상기 목적을 달성하기 위한 본 발명의 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼는 입출력 버퍼와 센스 앰프가 처리하는 데이터를 잠시 보관하기 위한 레지스터 어레이(10)와, 그 레지스터 어레이(10)의 입출력 버퍼쪽과 센스 앰프 쪽에 각각 연결되어 데이터를 읽고 쓰기 위한 상, 하단 읽기/쓰기 회로(20-1, 20-2)와, 상기 레지스터 어레이와 상기 읽기/쓰기 회로(20-1, 20-2)를 연결하기 위한 상, 하단 스위치 회로(30-1, 30-2)와, 상기 레지스터 어레이(10)의 워드 라인을 드라이빙하기 위한 디코더(40)와, 그 디코더(40)를 드라이빙하기 위한 카운터(50)와, 상기 레지스터 어레이(10)와 데이터를 적절한 전송 속도로 주고 받기 위해 여러 클럭과 카운터를 연결해 주며, 읽기/쓰기 회로(20-1, 20-2)를 선택하여 구동시키는 제어기(60)를 포함하여 구성되어 있다.

여기서, 상기 레지스터 어레이(10)는 게이트가 워드라인에, 드레인인 비트라인에 각각 연결된 엑세스 트랜지스터들(NM11, NM12)과, 입력과 출력이 서로 연결되어 있는 인버터들(INV11, INV12)이 상기 엑세스 트랜지스터들(NM11, NM12)의 소오스 사이에 연결되어 구성된 복수 개의 데이터 레지스터 셀들(10-1)이 바둑판 모양으로 배열되어 구성된다.

이와 같이 구성된 본 발명의 동작을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

먼저, 상기 제어기(60)는 입출력 버퍼와 데이터 전송을 해야할 모드와 센스 앰프와 데이터 전송을 해야할 모드에 따라 각각 다른 클럭 주파수를 가지는 클럭을 카운터(50)에 인가한다.

또한, 모드별로 스위치를 선택하여 읽기/쓰기 회로(20-1, 20-2)를 구동시킨다.

각 센스 앰프마다 N 개의 읽기/쓰기 회로와 연결되어 각 센스 앰프의 입출력은 한 번에 N 비트씩 센스 앰프의 동작 주기에 맞추어 이루어진다.

한편, 입출력쪽으로 연결된 L개의 읽기/쓰기 회로(20-1)는 각각 동작 클럭에 동기하여 1비트씩 연속적으로 데이터를 입출력한다.

본 발명의 또다른 실시예는 상기 데이터를 임시로 보관하기 위해 상기 X 개에 해당하는 칼럼과, 한 센스 앰프가 처리해야 되는 셀의 개수(Y)에 해당하는 열을 가지는 어레이 2 개를 기본으로 하는 입출력 핀 개수(L)의 장수(N) 배 만큼의 데이터 레지스터 어레이(100)와, 상기 데이터 레지스터 어레이(100)와 상기

입출력 버퍼 사이에 연결된 L 개의 읽기/쓰기 회로(200-1)와, 상기 데이터 레지스터 어레이(100)와 상기 센스 앰프 사이에 연결된 $X+L$ 개의 읽기/쓰기 회로(200-2)와, 상기 데이터 레지스터 어레이(100)와 상기 읽기/쓰기 회로(200-1, 200-2)를 연결하기 위한 상, 하단 스위치 회로(300-1, 300-2)와, 상기 데이터 레지스터 어레이(100)의 워드 라인을 드라이빙하기 위한 디코더(400-1, 400-2)와, 그 디코더(400-1, 400-2)를 드라이빙하기 위한 2 개의 카운터(500-1, 500-2)와, 2 개 이상의 출력 중 2 개의 출력을 선택하여 상기 디코더(400-1, 400-2)를 각각 구동시키며, 상기 읽기/쓰기 회로(200-1, 200-2)를 상기 데이터 레지스터 어레이(100)와 선택적으로 연결하는 제어 회로(600)를 포함하여 구성한다.

여기서, 상기 읽기/쓰기 회로(200-1, 200-2)는 입력데이터(DIN)를 반전시키는 인버터(INV201)와, 게이트가 공통연결되어 쓰기제어신호(WR)가 입력되며, 드레인이 접지전압(VSS)에 연결되고, 소오스에 상기 인버터(INV201) 및 입력데이터(DIN)가 각각 연결된 스위치 연모스 트랜지스터들(NM201, NM202)과, 소오스와 게이트가 공통연결되어 드레인에 외부전압이 인가되는 레지스터 연모스 트랜지스터들(PM203, PM204)과, 소오스에 외부전압(VCC)이 인가되고, 게이트가 공통연결된 제 2 피모스 트랜지스터(PM202) 및 그 공통연결된 게이트가 드레인에 연결된 제 1 피모스 트랜지스터(PM201)와, 상기 제 1, 제 2 피모스 트랜지스터(PM201, PM202)의 드레인에 드레인이 각각 연결되고, 게이트가 상기 레지스터 연모스 트랜지스터들(NM203, NM204)의 소오스에 각각 연결되며, 소오스가 공통연결된 미러 연모스 트랜지스터들(NM205, NM206)과, 그 미러 연모스 트랜지스터들(NM205, NM206)의 공통연결된 소오스에 드레인이 연결되고, 소오스가 접지전압(VSS)에 연결되며, 게이트에 바이어스 전압(Vbias)이 인가되는 바이어스 연모스 트랜지스터(NM207)로 구성된다.

이와 같이 구성된 본 발명의 또 다른 실시예의 동작은 입출력 버퍼와 센스 앰프 양쪽으로 동시에 데이터를 주고 받을 수 있다. 즉, 상기 데이터 레지스터 어레이를 2 페이지로 나누고, 워드라인을 따로 두어 제어할 수 있게 한 경우이기 때문에, 한 페이지가 입출력 쪽과 데이터 전송을 하고 있을 때 다른 한 페이지는 센스 앰프 쪽과 데이터 전송을 할 수 있으므로 연속 동작을 할 수 있다.

레지스터 어레이(100)를 이용하여 메모리 셀의 데이터를 읽는 경우, 먼저, 하단 스위치 회로(300-2)에 의해 선택된 레지스터 어레이(100)의 첫 번째 페이지로 센스 앰프의 센싱 스피드에 맞추어 하단 읽기/쓰기 회로(200-2)가 데이터를 쓰는 첫 번째 단계, 그 다음으로 상단 스위치 회로(300-1)에 의해 선택된 첫 번째 페이지로부터 첫 번째 단계에서 임시로 보관된 데이터를 입출력 버퍼가 동작하는 클럭에 동기하여 입출력 버퍼 쪽으로 내보내는 동시에 상기 어레이의 두 번째 페이지로 센스 앰프의 센싱 스피드에 맞추어 하단 읽기/쓰기 회로(200-2)가 데이터를 쓰는 두 번째 단계, 그리고 마지막으로 상단 스위치 회로에 의해 선택된 두 번째 페이지로부터 두 번째 단계에서 임시 보관된 데이터를 입출력 버퍼가 동작하는 클럭에 동기하여 입출력 버퍼 쪽으로 내보내는 세 번째 단계로 이루어진다. 여기서, 제 2 단계와 제 3 단계의 입출력 버퍼 쪽으로 데이터를 내보내는 과정은 연속적으로 이루어진다.

상기 세 단계의 과정으로 메모리의 한 줄(row)의 정보를 읽어낼 수 있고, 이러한 세 단계의 과정을 반복한다면, 메모리의 모든 정보를 읽어 낼 수 있다. 이렇게하여 데이터 양과 속도에 무관하게 복수의 상태를 가지는 메모리의 데이터를 효율적으로 읽을 수 있다.

쓰기 모드, 즉 프로그램 모드(program mode)는 이러한 읽기 모드와 반대로 동작한다.

발명의 효과

따라서, 본 발명의 데이터 버퍼는 복수의 상태를 가지는 저장할 수 있는 메모리의 입출력 버퍼와 메모리 내부 센스 앰프간의 인터페이스가 가능하며, 데이터간의 전송량과 전송속도가 다른 것을 완충하는 역할을 하며, 임의로 레지스터 어레이의 데이터를 읽고 쓸 수 있으며, 입출력 버퍼와 데이터 버퍼, 센스 앰프와 데이터 버퍼 간의 데이터 이동과 동시성을 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

데이터를 임시로 보관하기 위해 복수 개에 해당하는 칼럼으로 구성된 센스 앰프와, 그 센스 앰프 한 개가 처리해야 되는 셀의 개수에 해당하는 줄을 가지는 어레이를 기본으로 하는 입출력 핀 개수만큼의 데이터 레지스터 어레이와, 그 레지스터 어레이와 상기 입출력 버퍼 사이에 연결된 복수 개의 상단 읽기/쓰기 회로와, 상기 데이터 레지스터 어레이와 상기 센스 앰프 사이에 연결된 복수 개의 하단 읽기/쓰기 회로와, 상기 데이터 레지스터 어레이와 읽기/쓰기 회로들을 연결하는 상단 스위치 회로 및 하단 스위치 회로와, 2 개 이상의 출력 중 2 개의 출력을 선택하기 위해 복수 개의 출력을 가지는 디코더를 포함하여 구성된 것을 특징으로 하는 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼.

청구항 2

상기 데이터를 임시로 보관하기 위해 상기 복수 개에 해당하는 칼럼과, 한 센스 앰프가 처리해야 되는 셀의 개수에 해당하는 줄을 가지는 어레이 2 개를 기본으로 하는 입출력 핀 개수만큼의 데이터 레지스터 어레이와, 상기 데이터 레지스터 어레이와 상기 입출력 버퍼 사이에 연결된 복수 개의 읽기/쓰기 회로와 상기 센스 앰프 사이에 연결된 복수 개의 읽기/쓰기 회로와, 상기 디코더를 구동하기 위한 2 개의 카운터와, 2 개 이상의 출력 중 2 개의 출력을 선택하여 상기 디코더를 각각 구동시키며, 상기 읽기/쓰기 회로를 상기 어레이와 선택적으로 연결하는 제어 회로를 포함하여 구성하는 것을 특징으로 하는 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼.

청구항 3

제 2 항에 있어서, 상기 읽기/쓰기 회로는 입력데이터를 반전시키는 인버터와, 게이트가 공통연결되어 쓰기제어신호가 입력되며, 드레인이 접지전압에 연결되고, 소오스에 상기 인버터 및 입력데이터가 각각 연결된 스위치 연모스 트랜지스터들과, 소오스와 게이트가 공통연결되어 드레인에 외부전압이 인가되는 레

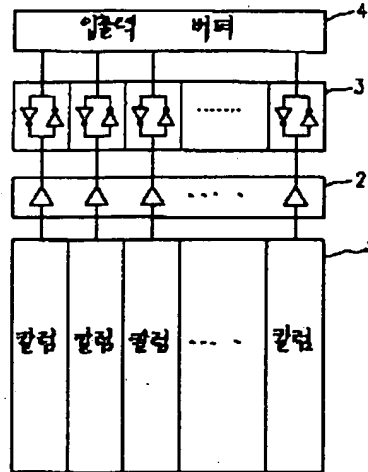
지스터 엔모스 트랜지스터들과, 소오스에 외부전압이 인가되고, 게이트가 공통연결된 제 2 피모스 트랜지스터 및 그 공통연결된 게이트가 드레인에 연결된 제 1 피모스 트랜지스터와, 상기 제 1, 제 2 피모스 트랜지스터의 드레인에 드레인이 각각 연결되고, 게이트가 상기 레지스터 엔모스 트랜지스터들의 소오스에 각각 연결되며, 소오스가 공통연결된 미러 엔모스 트랜지스터들과, 그 미러 엔모스 트랜지스터들의 공통연결된 소오스에 드레인이 연결되고, 드레인이 접지전압에 연결되어 게이트에 바이어스 전압이 인가되는 바이어스 엔모스 트랜지스터를 포함하는 것을 특징으로 하는 복수개의 상태를 저장할 수 있는 메모리를 위한 데이터 버퍼.

첨부그림 4

하단 스위치 회로에 의해 선택된 레지스터 어레이의 첫 번째 페이지로 센스 앰프의 센싱 속도에 맞추어 하단 읽기/쓰기 회로가 데이터를 쓰는 첫 번째 단계와, 상단 스위치 회로에 의해 선택된 첫 번째 단계에서 임시 보관된 데이터를 입출력 버퍼가 동작하는 클럭에 동기하여 입출력 버퍼 쪽으로 내보내는 동시에 상기 어레이의 두 번째 페이지로 센스 앰프의 센싱 속도에 맞추어 하단 읽기/쓰기 회로가 데이터를 쓰는 두 번째 단계와, 상단 스위치 회로에 의해 선택된 두 번째 페이지로부터 두 번째 단계에서 임시 보관된 데이터를 입출력 버퍼가 동작하는 클럭에 동기하여 입출력 버퍼쪽으로 내보내는 세 번째 단계로 구성됨을 특징으로 하는 데이터 버퍼를 이용한 두 개 이상의 메모리 상태를 프로그램할 수 있는 메모리를 읽는 방법.

도면

도면



도면2

